



(19)

(11) Publication number:

58050728

Generated Document.

PATENT ABSTRACTS OF JAPAN(21) Application number: **56148205**(51) Intl. Cl.: **H01L 21/02 H01L 21/68**(22) Application date: **19.09.81**

(30) Priority:

(43) Date of application
publication: **25.03.83**(84) Designated contracting
states:(71) Applicant: **MITSUBISHI ELECTRIC CORP**(72) Inventor: **SHIBATA HIROSHI**

(74) Representative:

**(54) MANUFACTURE OF
SEMICONDUCTOR DEVICE**

(57) Abstract:

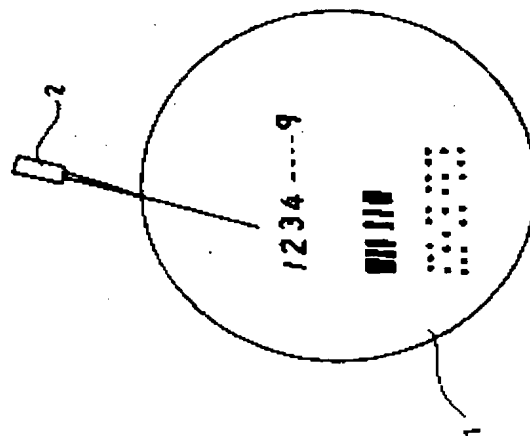
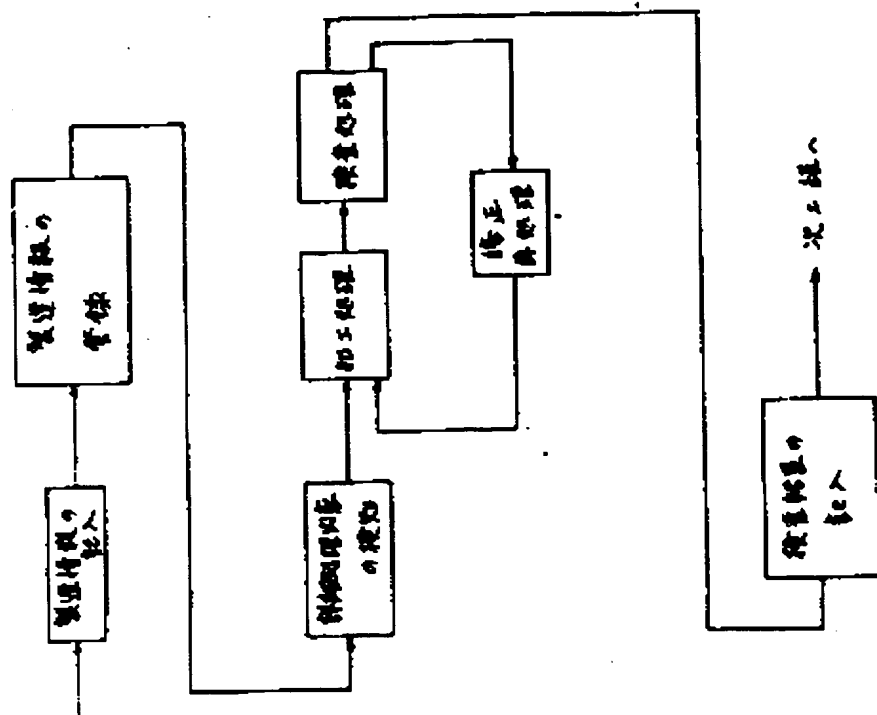
PURPOSE: To complete treatment of manufacturing and inspecting steps for each substrate, by a method wherein manufacturing order and conditions are previously printed or written with pattern symbols on the surface of a semiconductor substrate and are read in the manufacturing and inspecting steps.

CONSTITUTION: The reverse surface of a silicon substrate 1 is bombarded with a beam of ions large in mass from an ion beam source 2 to write data representing the manufacturing process order with a numeral, bar code or bit pattern signal. The crystalline structure of the silicon substrate surface bombarded with the beam is disordered and transformed into a mosaic structure. The crystalline structure is not restored by an ordinary heat treatment, so that the mosaic structure remains until the end of the process.

BEST AVAILABLE COPY

If infrared rays are applied to the crystal portion having the crystalline structure transformed into the mosaic structure, the light reflected therefrom is different from the light reflected from the other portions. Therefore, it is possible to read the manufacturing data. On completion of registration, the silicon substrate 1 is transferred to a treatment step, where the manufacturing data is read. When the data is sent to a central control unit, treatment conditions and method corresponding to the silicon substrate 1 are sent back, and treatment is carried out. Thereafter, data on the contents of inspection of the treatment is sent for inspection.

COPYRIGHT: (C)1983,JPO&Japio



BEST AVAILABLE COPY

⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭58—50728

⑯ Int. Cl.³
H 01 L 21/02
21/68

識別記号

庁内整理番号
6679—5F
6679—5F

⑰ 公開 昭和58年(1983)3月25日

発明の数 1
審査請求 未請求

(全 3 頁)

⑱ 半導体装置の製造方法

機株式会社エル・エス・アイ研
究所内

⑲ 特 願 昭56—148205

⑳ 出 願 人 三菱電機株式会社

㉑ 出 願 昭56(1981)9月19日

東京都千代田区丸の内2丁目2
番3号

㉒ 発 明 者 柴田浩

伊丹市瑞原4丁目1番地三菱電

㉓ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1. 発明の名称

半導体装置の製造方法

2. 特許請求の範囲

半導体基板の一表面に、製造の順序および条件を印字またはパターン記号により予め記入し、この記入内容を読取り装置により読取つて製造および検査の工程を半導体基板ごとに自動的に処理することを特徴とする半導体装置の製造方法。

3. 発明の詳細を説明

本発明は半導体装置の製造方法に関し、特に製造および検査の工程を半導体基板ごとに自動的に処理するようにした半導体装置の製造方法に関するものである。

従来において、例えばシリコン基板の加工に關しては、定められた条件に加工処理装置が設定されており、かつこの状態で適当な時間だけ継続処理されるか、あるいはエッチングされるなどにより各々の工程を経て所要のシリコン基板を完成するという製造方法がとられている。例えば、まずシ

リコン基板を酸化して全面に酸化膜を形成し、次いで部分的に酸化膜をエッチング処理して開口部を形成し、さらにこの開口部に不純物を拡散するという工程がとられており、全体では200〜300の加工工程を必要としている。

ところが、本来、半導体装置は各基板ごとに処理されるのが望ましいにもかかわらず、製造工程の合理化のためにバッチ処理がとられているため、製品としてのばらつきが大きくなり、高質な製品が得られないという欠点が生じている。すなわち、各半導体基板はロットを構成してバッチ処理することにより各加工処理工程が進められているが、この場合まず、ロットを次の工程に移し、この新たな工程で所定の処理を施すために人手を介入する必要がある。このため、場合によつては人的な誤まりに基づく加工処理ミスが生じてロット全体の処理内容が所定の方法より逸脱してしまうことが生じ、このことに起因する製品のばらつきが生じている。この場合、ロット処理のため、同一ロット内でのばらつきはやむを得ないものとして容認

されていた。

また、人手を介する場合、ロット毎の処理方法や内容に個人差が現われ、ロット毎にも製品のばらつきが生じている。さらにまた、ロット処理のため、少量の半導体装置が必要の場合でも、一度に多くの製品が出来上り、必要とする少量の製品を確保するためには無駄が多く、コストを上昇させるなどの欠点が生じている。

本発明はこのような欠点を解決するためになされたもので、その目的は製品毎のばらつきがなく、少量の製品も経済的に製造し得るようにした半導体装置の製造方法を提供することにある。

このために本発明は、半導体基板の一表面に、製造の順序および条件を印字またはパターン記号により予め記入し、この記入内容を読取り装置によって読取って製造および検査の工程を半導体基板毎に処理するようにしたものである。

以下、図面を用いて本発明を詳細に説明する。

まず、本発明においてはシリコン基板の両面を光沢面に仕上げた後、その一面に製造プロセス順

花開明53- 50728(2)

序、マスクの名称および各種の処理条件などの製造情報が次のような方法で記入される。すなわち、第1図に示すように、シリコン基板(1)の表面にイオンビーム源(2)からアンチモン(3a)などの質量の重いイオンをビーム状にして当て、製造プロセス順序などを表わす製造情報を数字またはバーコードあるいはビットパターン記号により記入する。この場合、アンチモンなどのイオンのビームが当たったシリコン基板面は、ビームによつて結晶構造が乱れてモザイク状構造となる。そして、このモザイク状構造はビーム種の質量が大きく、かつ照射量が多ければ、通常の熱処理によつては容易に回復せず、工程の最後までモザイク構造は残存し、製造プロセス順序などを表わす数字またはバーコード等は消滅しないものとなる。

このようにして製造情報が記入されたシリコン基板(1)は、最初の工程に入る前にまず記入した製造情報が読取られ、この読取り内容が中央制御装置のデータベースに登録される。この場合、製造情報の読取りは、第2図に示すように、赤外線

光源(4)から赤外線をシリコン基板(1)の表面に当ててその反射光を赤外線センサ(5)によつて検出することにより行なわれる。すなわち、モザイク構造に変形している製造情報の記入位置の結晶部分に赤外線を当てると、この部分からの反射光は他の部分からの反射光と異なるものとなる。これによつて、数字またはバーコード等によつて記入された製造情報を読取ることができる。

製造情報の登録が終了すると、第3図の製造工程図に示すように、シリコン基板(1)の処理は第1の処理工程に移される。そして、この第1の処理工程においては、まずこの工程における処理条件や方法等の詳細を知るため、シリコン基板(1)の表面に記入された製造情報が読取られ、この読取った製造情報が中央制御装置へ送られる。すると、中央制御装置からこの場合の製造情報に対応するシリコン基板(1)の第1の処理工程における詳細な処理条件や方法を指定する情報が返送される。これによつて、第1の処理工程では中央制御装置からの返送情報に従った処理が実行される。この後、

処理結果に対する検査内容を指定する情報が中央制御装置から送られてきて、第1の処理工程における処理を完了したシリコン基板(1)がこの情報に基づいて検査される。もし、この検査結果が規格を満足していなければ、修正のための再処理が実行される。一方、検査結果が規格を満足するものであれば、例えば酸化膜の厚さなどの検査結果を示す情報がシリコン基板(1)に数字またはバーコード等により記入される。このようにして、第1の処理工程を終了すると、次の第2の工程へ移り、同様な方法により各種の処理が実行される。

なお以上の説明はシリコン基板を加工する場合を例に挙げているが、他の化合物半導体基板を用いた半導体装置を製造する場合、あるいは微細加工を必要とし、かつプロセスの複雑な素子構造の半導体装置を製造する場合など広く適用できるものである。

以上の説明から明らかなように本発明によれば、半導体基板に記入された製造情報に基づいて各処理工程における処理を半導体基板毎に実施できる

特開昭59- 50728(3)

ため、ばらつきのない均質な半導体装置を製造することができると共に、少量の半導体装置を経済的に製造することが可能となる。そして、半導体装置への製造情報の記入工程および各種の処理工程は清浄度の高い搬送路で結ぶことによつて人手を介する必要がなくなり、半導体装置の清浄度を保つことができた上、全加工工程を自動化して省力化することができるなど優れた効果がある。

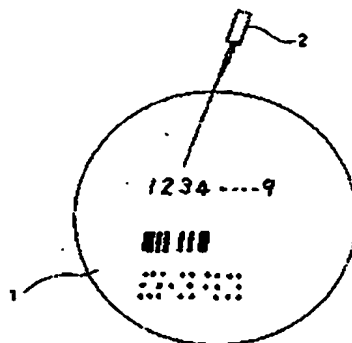
4. 図面の簡単な説明

第1図は本発明における半導体基板に対する製造情報の記入例を示す図、第2図は製造情報の取送り方法を示す図、第3図は本発明における製造工程を示す工程図である。

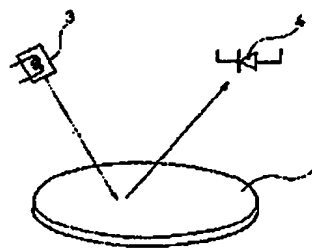
(1)・・・シリコン基板、(2)・・・イオンビーム源、(3)・・・紫外線光源、(4)・・・紫外線センサ。

代理人 高野 啓一（外1名）

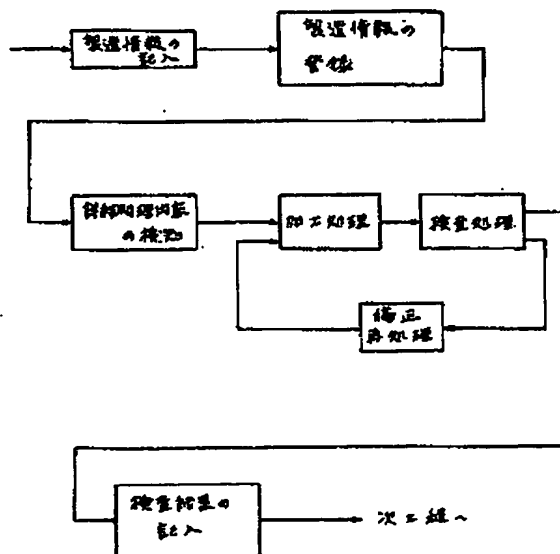
第 1 図



第 2 図



第 3 図



(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 58052814 A
 (43) Date of publication of application: 29.03.1983

(51) Int. Cl. H01L 21/02

(21) Application number: 56150958
 (22) Date of filing: 24.09.1981

(71) Applicant: NEC CORP
 (72) Inventor: UEJI YASUO

(54) SEMICONDUCTOR INTEGRATED CIRCUIT

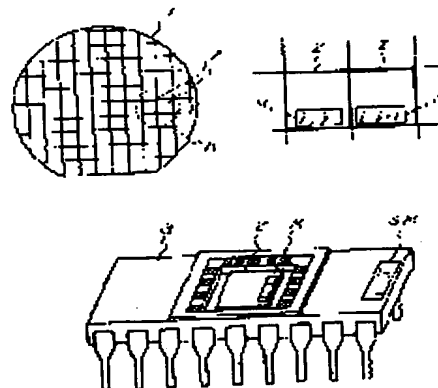
(57) Abstract:

PURPOSE: To permit the analysis of characteristic variations of a circuit in an assembly process to be easily and correctly carried out in relation to the circuit position in its wafer state, by a method wherein each chip obtained by cutting a wafer into each circuit piece is provided with a mark representing its arrangement order in the wafer state.

CONSTITUTION: Each of circuits 2, 2... in a wafer is provided with a mark M having a combination of (i) representing the lateral order and (j) representing the longitudinal order. Therefore, it is possible to identify the position of each chip in its wafer state even after cutting the wafer into chips. If the corresponding chip 2 is mounted on a case 3 previously provided with a mark 3M, in an assembly process, then it is possible to make an assembled circuit and the circuit in its wafer

state correspond to each other, one to one. Accordingly, various characteristics of a circuit in its wafer state and those of the circuit after being assembled can be made to correspond to each other.

COPYRIGHT: (C)1983, JPO&Japio



⑬ 日本国特許庁 (JP)
⑭ 公開特許公報 (A)

⑮ 特許出願公開
昭58—52814

⑯ Int. Cl.³
H 01 L 21/02

識別記号

庁内整理番号
6679—5F

⑰ 公開 昭和58年(1983)3月29日

発明の数 1
審査請求 未請求

(全 2 頁)

⑱ 半導体集積回路

東京都港区芝五丁目33番1号E
本電気株式会社内

⑲ 特 願 昭56—150968
⑳ 出 願 昭56(1981)9月24日
㉑ 発 明 者 上路康雄

㉒ 出 願 人 日本電気株式会社
東京都港区芝5丁目33番1号
㉓ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称
半導体集積回路

2. 特許請求の範囲

ウェーハ状態から各回路個片に切断されて得られたチップを含む半導体集積回路において、前記チップにはウェーハ状態での配列順番を異なす記号が付加されていることを特徴とする半導体集積回路。

3. 発明の詳細を説明

本発明は半導体集積回路に関する。

半導体集積回路の製造は、一般に第1図に示す

仕上げの工程を含む後工程と呼ばれる組立工程に分けられる。

前工程では、一枚のウェーハ上の多数個の回路が同時に処理されるが、後工程では一回路毎の個片に切断されて得られたチップ単位で処理されるこの為、ウェーハ状態での回路と、組立後の回路とを、一対一に対応づける必要がある場合、ウェーハの切断から組立完了迄、回路個片、すなわちチップの配列が変わらないように工夫をし、十分な管理が必要であった。そのように取扱っても、配列が狂った場合、正しい配列に戻すことは不可能であった。又、配列が狂った^みどうかの確認すら出来ない状態であった。

このように、ウェーハでの回路と、組立後の回路とを一対一に対応させることは著しく困難であ

路個片に切断されて得られるチップにウェーハ状態での配列順序を表わす記号が付加されている。

つぎに本発明を実施例により説明する。

第2図では、ウェーハ上に回路2が多数個作られていることを示しており、点線で囲むAの部分拡大し、第3図に示す。

第3図に示す如く、本発明では、ウェーハでの各回路2, 2, ... の個々には、横行の順序を示す1、縦列の順序を示すJとの組合せ(1, J)をもつ記号Mが付加されているので、チップに切断後も、個々のチップのウェーハ状態の位置を識別することが出来る。

したがって、第4図の如く、組立工程であらかじめ記号3Mを付加したケース3に対応するチップ2を搭載すれば、組立後の回路とウェーハでの回路とは一対一に対応させることが可能である。

記号は一連番号であってもよいし、配列を表わす記号であれば数字でなくともよい。

以上説明したように、前工程と後工程の回路の対応が一対一で出来るため、ウェーハ状態での回

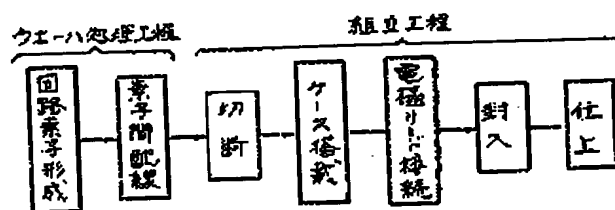
路の諸特性と、組立後の回路の諸特性に対応、即ち、組立工程での特性変動の解析がウェーハ状態での回路位置と関係づけて容易に、正しく行うことが可能になり、本発明の効果は著しいものである。

4. 図面の簡単な説明

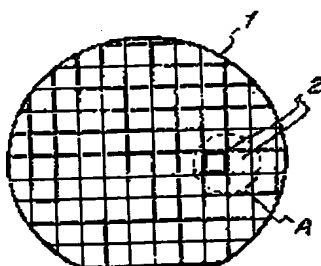
第1図は半導体集積回路の製造流れを示すブロック図、第2図は本発明の一実施例に係る多数個の回路が形成されたウェーハの平面図、第3図は第2図のA部分拡大図、第4図は本発明の一実施例の斜視図である。

1.....半導体ウェーハ、2.....チップ、M.....チップの配列順序記号、3.....ケース、3M.....ケース記号。

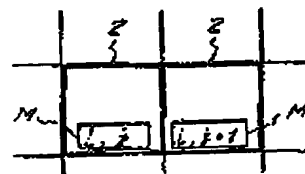
代理人 弁理士 内 原 晋



第1図



第2図



第3図

